

1/5/1 (Item 1 from file: 351)
 DIALOG(R)File 351:DERWENT WPI
 (c) 2000 Derwent Info Ltd. All rts. reserv.

011897848 **Image available**
 WPI Acc No: 1998-314758/199828
 XRPX Acc No: N98-246777

Semiconductor device having CMOS structure and input-output protection circuit - has control electrode connected to diffusion layer serving as drain with well formed on surface of substrate having impurity concentration lower than layer and diffusion layer of protective resistance element

Patent Assignee: NEC CORP (NIDE); NEC IC MICROCOMPUTER SYSTEMS LTD (NIDE); NIPPON ELECTRIC CO (NIDE)

Inventor: HATTA T; HIRATA M; TERA I K

Number of Countries: 026 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 848425	A2	19980617	EP 97250368	A	19971209	199828 B
JP 10173070	A	19980626	JP 96330783	A	19961211	199836
KR 98064019	A	19981007	KR 9767657	A	19971211	199949

Priority Applications (No Type Date): JP 96330783 A 19961211

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 848425 A2 E 12 H01L-027/02

Designated States (Regional): AL AT BE CH DE DK ES FI FR GB GR IE IT LI

LT LU LV MC MK NL PT RO SE SI

JP 10173070 A 8 H01L-021/8238

KR 98064019 A H01L-021/8238

Abstract (Basic): EP 848425 A

The semiconductor device comprises a field effect transistor (152) having first and second diffusion layers (115, 116) of a first conductivity type formed on a surface of a semiconductor substrate (101) and serving as a source and a drain, respectively, and a gate electrode (124) formed on a region (132) sandwiched between the layers through a gate insulating film (123).

A protective resistance element (153) having a third diffusion layer (117) of the first conductivity type is formed on the surface of the semiconductor substrate to be separated from the second diffusion layer by a predetermined distance. A control electrode (126) is formed on the semiconductor substrate through an insulating film (125) in a region (133) sandwiched between the second and third diffusion layers, and a well (106) of the first conductivity type is formed on the surface of the semiconductor substrate in the region (133) sandwiched between the second and third diffusion layers contacting the second and third diffusion layers. The control electrode is connected to the second diffusion layer and the well has an impurity concentration lower than those of the second and third diffusion layers.

ADVANTAGE - Provides semiconductor device that can be designed easily and protected from abnormal voltage in any case.

Dwg.1A/3

Title Terms: SEMICONDUCTOR; DEVICE; CMOS; STRUCTURE; PROTECT; CIRCUIT; CONTROL; ELECTRODE; CONNECT; DIFFUSION; LAYER; SERVE; DRAIN; WELL; FORMING; SURFACE; SUBSTRATE; IMPURE; CONCENTRATE; LOWER; LAYER; DIFFUSION ; LAYER; PROTECT; RESISTANCE; ELEMENT

Derwent Class: U13

International Patent Class (Main): H01L-021/8238; H01L-027/02

International Patent Class (Additional): H01L-021/822; H01L-027/04; H01L-027/092

File Segment: EPI

DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

05889970 **Image available**
SEMICONDUCTOR DEVICE

PUB. NO.: 10-173070 A]
PUBLISHED: June 26, 1998 (19980626)
INVENTOR(s): HIRATA MORIHISA
TERAI HIROHARU
HATTA TOSHIYA
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)
NEC IC MICROCOMPUT SYST LTD [470861] (A Japanese Company or
Corporation), JP (Japan)
APPL. NO.: 08-330783 [JP 96330783]
FILED: December 11, 1996 (19961211)
INTL CLASS: [6] H01L-021/8238; H01L-027/092; H01L-027/04; H01L-021/822
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

ABSTRACT

PROBLEM TO BE SOLVED: To facilitate designing of a semiconductor device
functioning as a protective circuit in any case.

SOLUTION: A transistor 52 has an n-channel MOS structure. A protective
resistance element is connected to the transistor 52 and comprises the
following elements: an n(sup +) type impurity region 16 to be the source of
the transistor is disposed between a gate electrode 24 and control
electrode 26, the control electrode 26 is disposed between an impurity
region 16 and impurity region 16 connected to the control electrode 26, and
a second low-concentration impurity n-type well 6 covers all regions
beneath the control electrode 26 of the substrate 1 and is connected to the
impurity regions 16, 17.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 173070

(43) 公開日 平成 10 年 (1998) 6 月 26 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H01L 21/8238			H01L 27/08	321 H
27/092			27/04	H
27/04				
21/822				

審査請求 有 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願平 8 - 330783

(22) 出願日 平成 8 年 (1996) 12 月 11 日

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目 7 番 1 号

(71) 出願人 000232036
日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町 1 丁目 403 番 53

(72) 発明者 平田 守央
東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(74) 代理人 弁理士 山川 政樹

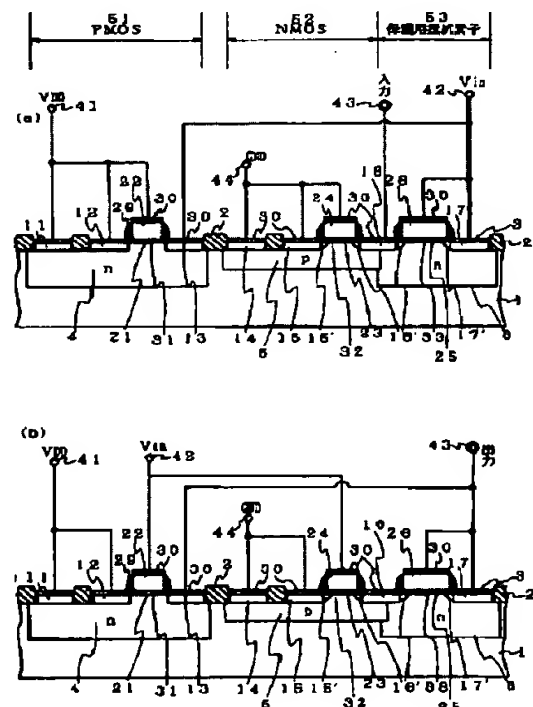
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 より設計がしやすく、どのような場合でも保護回路として機能することができるようにすることを目的とする。

【解決手段】 n チャネル形の MOS 構造となっているトランジスタ 52 に、そのドレインとなる n' 形の不純物領域 16 をはさんでゲート電極 24 と対向配置した制御電極 26 と、その制御電極 26 をはさんで不純物領域 16 と対向配置して制御電極 26 に接続する不純物領域 17 と、半導体基板 1 の制御電極 26 下の領域をすべて覆い不純物領域 16、17 に接続するそこより低い不純物濃度の第 2 の n 形ウエル 6 とからなる保護用抵抗素子 53 を接続する。



(2)

特開平10-173070

1

【特許請求の範囲】

【請求項1】 半導体基板表面に形成されたソースおよびドレインとなる第1導電形の第1および第2の拡散層、前記第1および第2の拡散層に挟まれた領域にゲート絶縁膜を介して配置されたゲート電極を備えた電界効果トランジスタと、

前記第2の拡散層と所定距離離れて前記半導体基板表面に形成された第1導電形の第3の拡散層、前記第2および第3の拡散層に挟まれた領域の前記半導体基板上に絶縁膜を介して形成された制御電極、前記第2および第3の拡散層に挟まれた領域の前記半導体基板表面に前記第2および第3の拡散層に接触して形成された第1導電形のウエルからなる保護用抵抗素子とを備え、

前記制御電極は前記第2の拡散層に接続され、前記ウエルは前記第2および第3の拡散層より低い不純物濃度であることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記第1の拡散層よりも低い不純物濃度の第1導電形のウエルがその第1の拡散層下に接して形成されていることを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置において、

前記電界効果トランジスタおよび保護用抵抗素子が形成された領域を囲うように、前記半導体基板表面より形成された第2導電形の拡散層からなるガードリングを備えたことを特徴とする半導体装置。

【請求項4】 請求項1～3いずれか1項記載の半導体装置において、

前記保護用抵抗素子の抵抗値は、前記電界効果トランジスタが破壊する電圧よりそれがスナップバックに入る電圧の方が小さくなる値とされていることを特徴とする半導体装置。

【請求項5】 請求項1～4いずれか1項記載の半導体装置において、

前記第1ないし第3の拡散層は、それに接続する配線電極と、その接続可能領域全域で接していることを特徴とする半導体装置。

【請求項6】 請求項1～5いずれか1項記載の半導体装置において、

前記前記制御電極と第3の拡散層との接続部は、前記保護用抵抗素子のウエル領域上に配置されていることを特徴とする半導体装置。

【請求項7】 半導体基板上にゲート絶縁膜を介して形成されたゲート電極、前記半導体基板のそのゲート電極下の領域をささむように形成されたソースおよびドレインとなる第1導電形の第1および第2の拡散層を備えた電界効果トランジスタと、前記第2の拡散層にその一端が接続した保護用抵抗素子とを備え、

前記保護用抵抗素子の他端に外部からの入力信号が入力される入力接続点が接続され、

2

前記入力信号が出力される出力端子が前記第2の拡散層に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、CMOS構成の半導体装置に関し、特に入力および出力保護回路としての保護用抵抗素子を設けた半導体装置に関する。

【0002】

【従来の技術】 内部回路を保護するために、入力端子とその内部回路との間に設けられる、保護用抵抗素子を用いた保護回路の一部構成を図3に示す。図3に示すように、平坦な主面3を有するp⁺形シリコンからなる基板1に、まず、p形ウエル5が設けられている。ここに、nチャネル形のMOS構造となっているトランジスタ52が形成されるまた、分離領域を隔てて、第1のn形ウエル4が設けられ、ここに、pチャネル型のMOS構造となっているトランジスタ51が形成される。そして、p形ウエル5に隣接して第2のn形ウエル6が設けられ、これが、保護回路としての保護用抵抗素子53の拡散層となる。また、選択酸化法(LOCOS法)により、平坦な主面3から基板1内に形成されたシリコン酸化膜2で各領域が区画されている。このシリコン酸化膜2は、基板1内にたとえば400nm埋設し、全体の膜厚が800nmである。

【0003】 そのトランジスタ51において、第1のn形ウエル4内の基板1の主面3にp⁺形のソース12、p⁺形のドレイン13、およびn⁺形の基板コンタクト領域11が形成されている。そして、チャネル領域31上に、膜厚30～50nmのゲート絶縁膜21を介して、ポリシリコンからなるゲート電極22が形成され、そのゲート電極22の両側にサイドウォール29が形成されている。

【0004】 また、トランジスタ52において、基板1の主面3からp形ウエル5内にn⁺形のソース15、ドレインとなるn⁺形の不純物領域16、およびp⁺形の基板コンタクト領域14が形成されている。そして、チャネル領域32上に、膜厚30～50nmのゲート絶縁膜23を介してポリシリコンからなるゲート電極24が形成され、そのゲート電極24の両側にサイドウォール29が形成されている。

【0005】 また、保護用抵抗素子53において、第2のn形ウエル6は第1のn形ウエル4と同時に拡散形成されている。ここで、抵抗素子の抵抗値を定める第2のn形ウエル6の表面領域33におけるn形不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ である。この主面3から、第2のn形ウエル6にn⁺形の不純物領域17が形成されている。また、トランジスタ52のp形ウエル5に形成された不純物領域16が第2のn形ウエル6内にまで延在している。そして、第2のn形ウエル6の電流が流れて抵抗体としての機能を行う表面領域33(チャネル)上

(3)

特開平10-173070

3

に、膜厚10~70nmの絶縁膜25を介してポリシリコンからなる制御電極26が形成されている。また、その制御電極26の両側には、サイドウォール29が形成されている。

【0006】一方、トランジスタ51のソース12、基板コンタクト領域11、およびゲート電極22、ならびに、保護用抵抗素子53の制御電極26は、電源ライン41に接続されて高電位側の電源電圧である正電圧 V_{DD} が供給される。そして、トランジスタ52のソース15、基板コンタクト領域14、および、ゲート電極24は、GNDライン44に接続されて低電位側の電源電圧である接地電位 V_{SS} に接続されている。また、保護用抵抗素子53の不純物領域17とトランジスタ51のドレイン13は、入力接続点42および内部回路へ接続する出力端子43との間に接続している。すなわち、上述した保護回路は、外部入力と内部回路との間にぶら下がるように接続されている。

【0007】以上のように構成することで、外部から異常電圧が印加された場合、上述した保護回路がスナッチバックに入り、その異常電圧をGNDライン44に流すようにしている。そして、そのスナッチバックが、内部回路のトランジスタのゲート絶縁膜が破壊される前に入るようにすることで、内部回路を保護するようにしている。

【0008】また、トランジスタ52のドレインとなる不純物領域16およびソース15には、それぞれn⁺形領域16'およびn⁺形領域15'が接続形成されてL_{DD}構造となっている。同様に、保護用抵抗素子53においても、不純物領域17および不純物領域16に、制御電極下の領域をはさんで、それぞれn⁺形領域17'およびn⁺形領域16'が接続形成されてL_{DD}構造となっている。これらL_{DD}構造とすることにより、不純物の濃度をなめらかにして、その箇所にかかる電界を緩和している。なお、それらn⁺形不純物領域やn⁺形ソース・ドレインは同時に形成され、n形の表面不純物濃度は $5 \times 10^{11} \text{ cm}^{-2}$ である。また、L_{DD}を構成するn⁺形領域の表面不純物濃度は $1 \times 10^{12} \text{ cm}^{-2}$ となっている。

【0009】また、高速化のためにシリサイドプロセスを適用して、シリコン酸化膜2およびサイドウォール29をマスクとし、ソース・ドレインなどになる各p⁺形およびn⁺形領域の表面に、自己整合的にシリサイド膜30が形成されている。同様に、シリコンゲート電極の上表面にも、サイドウォール29により自己整合的にシリサイド膜30が形成されている。このシリサイドプロセスは、近年、CMOS半導体装置の高速化や微細化に伴い必要とされている技術である。シリサイド技術は、MOSトランジスタの高速化のために、ソース・ドレインなどのシリコン基板表面やシリコンゲート電極表面に高融点金属膜を被着し、熱処理を行うことによりこれら表面にシリサイド薄膜を自己整合的に形成し、その表面

4

抵抗を下げるプロセスである。

【0010】以上説明したように、保護用抵抗素子53を設けるようにしているので、トランジスタ52のドレイン16に入力される信号は、保護用抵抗素子53を介することになる。この結果、ドレイン16に入力される信号が異常電圧であった場合でも電圧降下を生じ、トランジスタ53に直接高いレベルの異常電圧が印加されることが防止される。また、シリサイドプロセスを用いても、保護用抵抗素子53の拡散層表面上にはゲート電極構造(制御電極26)が設けられているから、この表面領域にシリサイド膜は形成されない。これにより表面領域における抵抗値の不所望な低下を回避することができるので、サージ電圧の波高を低減するのに十分な所定の抵抗値が、小面積の拡散層(第2のn形ウエル6)で得られるようになる。

【0011】また、シリサイド膜の形成を回避するためには、素子分離領域と同様に厚い酸化膜を形成するようにしてもよいが、この場合、厚い酸化膜端部に発生するバズピークのために余分な面積を必要とする。たとえば、片側0.5 μm 余分に広がってしまう。しかし、保護用抵抗素子の拡散層の表面領域上には、10~70nm程度の薄いゲート絶縁膜が形成されているだけであり、その無駄な部分を0とすることができる。この結果、より高集積化を可能にする。また、この厚い酸化膜の端部における結晶の乱れによるキャリアトラップの不都合の問題が発生しない。

【0012】さらに、保護用抵抗素子のゲート電極を固定電位に維持することにより、抵抗値が安定した保護用抵抗素子となる。すなわち、一般の保護用抵抗素子の拡散層表面上には、層間絶縁膜やパシベーション膜などの何らかの絶縁膜が形成される。この場合、n形の拡散層のキャリアである電子がシリコン酸化膜などの絶縁膜にとラップされ、これにより抵抗値を定める拡散層の表面領域を流れる電流が変化してしまい、出力特性が変動してしまう。これに対して、保護用抵抗素子のゲート電極を、たとえば正電位の V_{DD} に固定すれば、そのような不都合が発生しない。

【0013】なお、ここでは、トランジスタ51とトランジスタ52のうち、トランジスタ52のソースとなる不純物領域16と出力端子43(入力接続点42)との間に、保護用抵抗素子53が設けられている。これに対して、トランジスタ51のドレイン13は、保護用抵抗素子を通さないで直接入力接続点42に接続している。この理由は、nチャネルMOSトランジスタの多数キャリアは電子で、そのモビリティは大きくスナッチバックに入りやすく、pウエルの電位(基板の電位)が上がりESD耐圧が低下しやすい。これに対して、pチャネルMOSトランジスタでは、正孔が多数キャリアのため、スナッチバックに入りにくいので、ESDに関してはnチャネルMOSトランジスタよりもその耐圧が大きくな

(4)

特開平10-173070

5

っているからである。しかし、pチャネルMOSトランジスタに対しても、保護用の抵抗素子を適用した方がより信頼性が向上する。

【0014】

【発明が解決しようとする課題】しかしながら、上述した従来の構成では、以下に説明するように不都合があった。上述した構成では、保護用抵抗素子53の制御電極26が、電源ライン41に接続されて高電位側の電源電圧である正電圧 V_{DD} に固定されている。このため、電源ライン41の電位が $0 \sim V_{DD}$ で変化するのに応じて、第2のn形ウエル6と制御電極26との間の電位が $V_{DD} \sim 0$ と変化する。そして、これに応じてn形ウエル抵抗値も変化してしまい、従来の構成では設計がしづらいという問題があった。

【0015】また、電源ライン41の電位がほぼ接地電位となるような場合で、GNDライン44に対して正のサージが印加される状況を考える。この状態で電源ライン42の電位が上昇すると、第2のn形ウエル6と制御電極26の間の薄い絶縁膜25にストレスがかかり、絶縁膜25にキャリアがトラップされる。このようにキャリアがトラップされると、n形ウエル抵抗値が変化してしまう。そして、最悪の場合その絶縁膜25の破壊に至る。

【0016】また、従来では、保護用抵抗素子を設けるようにしているので、場合によっては内部回路に対してより高い電位が入力されることもある。従来の構成では、サージが印加されたとき、保護用抵抗素子に流れ込む電流による電圧上昇により、内部回路により高い電圧が入力される場合がある。この場合、最悪の場合、内部回路の保護にならず、内部回路のトランジスタのゲート絶縁膜を破壊してしまうこともある。

【0017】この発明は、以上のような問題点を解消するためになされたものであり、より設計がしやすく、どのような場合でも保護回路として機能することができるようにすることを目的とする。

【0018】

【課題を解決するための手段】この発明の半導体装置は、電界効果トランジスタに、そのドレイン（第2の拡散層）と所定距離離れて半導体基板表面に形成された第1導電形の第3の拡散層と、第2および第3の拡散層に挟まれた領域の半導体基板上に絶縁膜を介して形成された制御電極と、第2および第3の拡散層に挟まれた領域の半導体基板表面に第2および第3の拡散層に接触して形成された第1導電形のウエルとからなる保護用抵抗素子を接続した。そして、制御電極は第3の拡散層に接続し、ウエルは第2および第3の拡散層より低い不純物濃度とした。以上のように構成したので、電界効果トランジスタのドレインに入力される信号は、保護用抵抗素子を介するので、その信号が異常電圧であった場合でも電圧降下を生じ、電界効果トランジスタに直接高いレベル

6

の異常電圧が印加されることが防止される。そして、抵抗として機能するウエルの抵抗値があまり変化しない。

【0019】

【発明の実施の形態】以下この発明の実施の形態を図を参照して説明する。

実施の形態1

図1は、この発明の実施の形態1における半導体装置の構成を示す構成図である。図1(a)に示すように、この実施の形態1では、制御電極26が不純物領域17に接続されるようにした。そして、それ以外は、前述した従来の構成と同様であり、基板1の素子分離のためのシリコン酸化膜2で区画された領域内の所定位置に、第1のn形ウエル4、p形ウエル5、およびそのp形ウエル5に隣接して第2のn形ウエル6が形成されている。この第2のn形ウエル6は、最低限、制御電極26下の不純物領域16、17に挟まれた領域に、その不純物領域16、17に接して形成されていればよい。そして、第1のn形ウエル4上にトランジスタ51が形成され、p形ウエル5上にトランジスタ52が形成され、第2のn形ウエル6上に保護用抵抗素子53が形成されている。

【0020】そのトランジスタ51においては、p'形のソース12、p'形のドレイン13、およびそれらの間のチャネル領域31上に、ゲート絶縁膜21を介してゲート電極22が形成されている。この、ゲート電極22の両側には、サイドウォール29が形成されている。そして、ソース12、ドレイン13、および、ゲート電極22上面には、シリサイド膜30が形成されている。加えて、第1のn形ウエル4領域には、n'形の基板コンタクト領域11が形成されている。

【0021】またトランジスタ52は、n'形のソース15、ドレインとなるn'形の不純物領域16、およびそれらの間のチャネル領域32上に、ゲート絶縁膜23を介してゲート電極24が形成されている。このゲート電極24の両側にも、サイドウォール29が形成されている。なお、不純物領域16は、隣接する第2のn形ウエル6の形成領域にまで入り込んで形成されている。そして、このトランジスタ52においても、ソース15、n'形の不純物領域16、およびゲート電極23上面には、シリサイド膜30が形成されている。加えて、p形ウエル5領域には、p'形の基板コンタクト領域14が形成されている。

【0022】これらトランジスタ51およびトランジスタ52は、素子分離領域2をはさんで形成されているが、保護用抵抗素子53はトランジスタ52に連続して形成されている。すなわち、この保護用抵抗素子53は、トランジスタ52にとってドレインとなっている不純物領域16、不純物領域17、およびそれらの間の表面領域33上に、薄い絶縁膜25を介して形成された制御電極26から構成されている。また、その制御電極26の両側には、サイドウォール29が形成されている。

(5)

特開平 10-173070

8

ここで、保護用抵抗素子 53 の構成をみると、制御電極 26 と不純物領域 16 および不純物領域 17、そして、制御電極 26 が形成されている絶縁膜 25 下の表面領域 33 とからなる MOS トランジスタの構成をしている。

【0023】そして、トランジスタ 51 のソース 12、基板コンタクト領域 11、およびゲート電極 22 は、電源ライン 41 に接続されて高電位側の電源電圧である正電圧 V_{DD} が供給される。また、トランジスタ 52 のソース 15、基板コンタクト領域 14、および、ゲート電極 24 は、GND ライン 44 に接続されて低電位側の電源電圧である接地電位 V_{SS} に接続されている。そして、この実施の形態 1 では、保護用抵抗素子 53 の制御電極 26、不純物領域 17、およびトランジスタ 51 のドレイン 30 が、入力接続点 42 に接続しており、それらに外部からの信号が入力される。また、トランジスタ 51 の p' 形ドレイン 13 が、内部回路へ接続する出力端子 43 に接続されている。

【0024】以上示したように接続することで、電源ライン 41 の電位がほぼ接地電位となるような場合に、GND ライン 44 に対して正のサージが印加されても、制御電極 26 は不純物領域 17 と同電位にしているため、絶縁膜 25 にストレスがかかることがない。また、第 2 の n 形ウエル 6 と制御電極 26 の間の電位差は最大で $1/10 V_{DD}$ 程度であり、保護用抵抗素子の抵抗としての第 2 の n 形ウエル 6 の抵抗値の変化は微小であり、設計が容易になる。

【0025】ここで、その抵抗値の変化に関して説明する。抵抗としての第 2 の n 形ウエル 6 の電気伝導度は、主に電子（キャリア）のドリフト電流で決定される。このドリフト電流 I_e は、以下の（1）式により定義される。

$$I_e = e \cdot n \cdot \mu_e \cdot F = e \cdot n \cdot v_e \cdot \dots \quad (1)$$

なお、 e は素電荷、 n は電子の密度、 μ_e は電子の移動度、 v_e はドリフト速度、 F は電界である。なお電界 F は、この場合（ドレイン電圧－ソース電圧）／ゲート長である。

【0026】そして、電子の密度は、制御電極 26 と第 2 の n 形ウエル 6 の電位差で変化し、ゲート電圧がドレイン電圧より大きい場合は、ゲート電極下の領域に電子の蓄積層が形成されるため電子の密度が増加する。すなわち、ゲート電圧に対してドレイン電圧が変化すると、制御電極 26 下の電子密度が変化し、第 2 の n 形ウエル 6 におけるドリフト電流が変化する。そして、この結果、第 2 の n 形ウエル 6 の電気伝導度が変化することになり、第 2 の n 形ウエル 6 の抵抗値が変化することになる。しかし、上述したように、この実施の形態 1 によれば、制御電極 26 は不純物領域 17（ドレイン）に接続され同電位となっているので、第 2 の n 形ウエル 6 の抵抗値が変化することがない。

【0027】以上説明したように、この実施の形態 1 に

よれば、制御電極 26 を不純物領域 17 に接続するようになったので、保護用抵抗素子の抵抗としての機能を発現する第 2 の n 形ウエル 6 の抵抗値がほとんど変化することがない。また、GND ライン 44 に対して正のサージが印加されるような場合でも、絶縁膜 25 にストレスがかかることがない。また、この実施の形態 1 では、不純物領域 16 より内部回路への入力を取り出すようにしているので、保護用抵抗素子 53 があっても、内部回路に対して不必要に高い電位が印加されることがなくなる。

【0028】なお、制御電極 26 と不純物領域 17 との接続は、第 2 の n 形ウエル 6 の領域で行うようにした方がよい。これは、GND ライン 44 に対して正のサージが印加されるような場合に、その接続部（コンタクト部）が第 2 の n 形ウエル 6 以外の p 形領域上にあると、その p 形領域は GND 電位に固定されており、制御電極 26 との接続部との間に高電界が加わり、その接続部が破壊されることがある。一方、制御電極 26 の接続を第 2 の n 形ウエル 6 上の領域で行えば、第 2 の n 形ウエル 6 と接続部とは同電位のため、その接続部が破壊されることはない。

【0029】ところで、上述では、電源側の保護のための CMOS 構成のトランジスタによる保護回路に関して示したが、これに限るものではない。図 1（b）に示すように、この実施の形態の構成を、信号出力側の保護に用いるようにしてもよい。すなわち、図 1（b）に示すように、ソース 12 および基板コンタクト領域 11 が電源ライン 41 に接続し、ゲート電極 22 およびゲート電極 24 が入力接続点 42 に接続し、ソース 15 および基板コンタクト領域 14 が GND ライン 44 に接続されて低電位側の電源電圧である接地電位 V_{SS} に接続する。また、ドレイン 13、不純物領域 17、および、制御電極 26 が、出力端子 43 に接続する。すなわち、図 1

（b）の構成は、入力接続点 42 より入力した内部からの信号を出力する CMOS 構成のトランジスタであり、かつ、出力端子 43 から混入するサージに対する保護回路となる。

【0030】実施の形態 2

以下、この発明の第 2 の実施の形態について、図 2 を用いて説明する。この実施の形態 2 では、図 2（a）に示すように、トランジスタ 52 のソース 15 下に、第 3 の n 形ウエル 5' を設けるようにしたものである。そして、基板 1 の素子分離のためのシリコン酸化膜 2 で区画された領域内の所定位置に、第 1 の n 形ウエル 4、 p 形ウエル 5、およびその p 形ウエル 5 に隣接して第 2 の n 形ウエル 6 が形成されている。加えて、この実施の形態 2 においては、トランジスタ 51 の形成領域と、トランジスタ 52 および保護用抵抗素子の領域が、それぞれガードリング 11a、14a で囲われている。このガードリング 11a は基板 1 の周面より形成された n' 不純物領域であり、ガードリング 14a は基板 1 の主面 3 より形

(6)

特開平10-173070

9

成されたp'不純物領域である。

【0031】このガードリング11aは、図2(b)の平面図に示すように、pチャネル型のMOS構造となっているトランジスタを囲うように形成され、ガードリング14aは、nチャネルMOS構造となっているトランジスタおよび保護用抵抗素子を囲うように形成されている。ここで、図示していないが、例えば、ソース12、15やドレイン13には、シリサイド膜30を介してそれぞれの電極配線が引出されている。そして、それぞれの電極配線は、その接続領域において、所定の大きさのコンタクト複数個で接続されている。なお、その接続領域はほぼ全域に1つのコンタクトで、それぞれの電極配線を接続するようにしてもよい。このようにすることで、コンタクト部での電流集中が緩和でき、電流を均一に流すことができるため、よりいっそう高い保護能力が得られる。

【0032】なお、図2(b)では、pチャネル型のMOS構造となっているトランジスタが2つ、そして、nチャネル形のMOS構造となっているトランジスタおよび保護用抵抗素子が2組で構成された状態を示している。すなわち、ガードリング11aに囲われた第1のn形ウエル4トの領域内に、ソース12a、ドレイン13、およびゲート電極22aからなるトランジスタと、ソース12、ドレイン13、およびゲート電極22からなるトランジスタが形成されている。

【0033】また、ガードリング14aに囲われた領域内では、まず、p形ウエル5およびp形ウエル5aの上に、ソース15、ドレインとなる不純物領域16、ゲート電極24からなるトランジスタ、および、ソース15a、ドレインとなる不純物領域16a、ゲート電極24aからなるトランジスタがそれぞれ形成されている。加えて、第2のn形ウエル6の上に、不純物領域16、不純物領域17、制御電極26からなる保護用抵抗素子と、不純物領域16a、不純物領域17、制御電極26aからなる保護用抵抗素子が形成されている。そして、この実施の形態2では、nチャネル形のMOS構造となっているトランジスタのソース下に第3のn形ウエル5'が設けられている。この第3のn形ウエル5'は、ソース15より不純物濃度が低くなっている。なお、図2(a)は、図2(b)におけるAA'における断面を示している。

【0034】以上説明したように、ガードリング構造を用いるようにしても、前記実施の形態1と同様に、制御電極26を不純物領域17に接続するようにしたので、保護用抵抗素子の抵抗としての機能を発現する第2のn形ウエル6の抵抗値がほとんど変化することはない。また、GNDライン44に対して正のサージが印加されるような場合でも、絶縁膜25にストレスがかかることがない。また、従来の構成では、サージが印加されたとき、保護用抵抗素子に流れ込む電流による電圧上昇によ

10

り、内部回路により高い電圧が入力される場合がある。これに対して、上記実施の形態1と同様に、不純物領域16より内部回路への入力を取り出すようにしているので、保護用抵抗素子53があっても、内部回路に対して不必要に高い電位が印加されることがなくなる。

【0035】また、この実施の形態2では、第3のn形ウエル5'を設けるようにしたので、保護回路としてより安全性を向上させることができる。すなわち、この半導体装置による保護回路では、GNDライン44に対して正のサージが加わった場合に、以下に示すようにしてサージを抜くことができる。まず、GNDライン44に対して正のサージが加わると、トランジスタ52のドレインとなる不純物領域16のゲート端がブレイクダウンを起こし、入力接続点42-第2のn形ウエル6-不純物領域16-p形ウエル5(基板1)-基板コンタクト(ガードリング14a)の経路でサージが流れる。

【0036】ここで、p形ウエル5の抵抗により、p形ウエル5に流れる電流が増加すると、p形ウエル5の電位がGND電位より上昇する。pウエル5の電位が上昇し、ソース15とpウエル5で形成されるpn接合(ダイオード)の電位差がビルトインポテンシャルを越して順バイアスとなる。このpn接合が順バイアスとなると、このトランジスタ52におけるドレイン-pウエル-ソースで形成される寄生のnpnバイポーラトランジスタがオンし、入力接続点42-第2のn形ウエル6-不純物領域16-p形ウエル5-ソース15という経路でもサージが流れ出す(スナップバック)。

【0037】このp形ウエル5(基板1)-トランジスタ52のpn接合間における降伏は、その接合におけるビルトインポテンシャルが低いほど起きやすい。ここで、ソース15のしたにそれより低濃度の第3のn形ウエル5'を設けておけば、第3のn形ウエル5'とp形ウエル5(基板1)との間の界面に、ビルトインポテンシャルのより低い状態が形成される。この結果、その界面に形成されるダイオードが順バイアスとなりやすくなり、結果としてよりスナップバックに入りやすくなる。

【0038】なお、前述したように、この発明の半導体装置の構成は、入力保護だけに限るものではなく、出力の保護にも適用できる。また、入力保護回路で保護している内部回路においても、前述したように保護用抵抗素子を接続した構成としてもよいことはいうまでもない。また、上記実施の形態1、2では、たとえば、各トランジスタを1つまたは2つずつ配置するようにしているが、これらに限るものではない。各トランジスタが3個以上複数並列に配置した状態として、用いるようにしてもよい。

【0039】1つのトランジスタで構成しようとする、ゲート幅を大きくしていくことになるが、これでは、素子の配置がいびつになり集積度の向上を阻害する。これに対して、トランジスタを複数用いることで、

(7)

特開平10-173070

11

より集積度を向上させることが可能となる。ただし、この場合、保護用抵抗素子に接続するトランジスタがスナップバックに入った状態でそれが破壊する電圧より、スナップバックにはいる電圧が小さくなるように、各保護用抵抗素子の抵抗値は設定しておく必要がある。

【0040】すなわち、このように保護用抵抗素子を接続して、スナップバックに入ってから破壊するまでの電圧を、スナップバックに入る電圧以下とすれば、1つのトランジスタが先にスナップバックに入った状態でも、複数の分割した他のトランジスタもスナップバックに入

れるようになる。そして、複数のトランジスタが全てスナップバックにはいるようになれば、サージを均一に分散させることができる。

【0041】

【発明の効果】以上説明したように、この発明では、電界効果トランジスタに、そのドレイン（第2の拡散層）と所定距離離れて半導体基板表面に形成された第1導電形の第3の拡散層と、第2および第3の拡散層に挟まれた領域の半導体基板上に絶縁膜を介して形成された制御電極と、第2および第3の拡散層に挟まれた領域の半導体基板表面に第2および第3の拡散層に接触して形成された第1導電形のウエルとからなる保護用抵抗素子を接続した。そして、制御電極は第3の拡散層に接続し、ウエルは第2および第3の拡散層より低い不純物濃度とした。以上のように構成したので、電界効果トランジスタのドレインに入力される信号は、保護用抵抗素子を介するので、その信号が異常電圧であった場合でも電圧降下を生じ、電界効果トランジスタに直接高いレベルの異常電圧が印加されることが防止される。そして、抵抗として機能するウエルの抵抗値があまり変化しない。

【0042】したがって、保護用抵抗素子の抵抗値が変化しにくいので、その設計がより容易になるという効果がある。また、電源ラインの電位がほぼ接地電位となるような場合で、GNDラインに対して正のサージが印加される状況でも制御電極下の絶縁膜にストレスがかかる

12

ことがなく、そこでキャリアがトラップされることもない。そして、キャリアトラップによるウエルの抵抗値変化が起きにくくなり、絶縁膜の破壊耐性も向上させることができる。すなわち、この発明によれば、より設計がしやすく、どのような場合でも保護回路として機能が損なわれにくいという効果を有する。

【0043】また、この発明によれば、保護用抵抗素子の他端に外部からの入力信号が入力される入力接続点を接続し、その入力信号が出力される出力端子を、保護用抵抗素子に接続する電界効果トランジスタのドレインとなる第2の拡散層に接続するようにした。例えば、従来の構成では、サージが印加されたとき、保護用抵抗素子に流れ込む電流による電圧上昇により、内部回路により高い電圧が入力される場合がある。しかしこの発明では、上述の構成としたため、内部回路に対してより高い電位が入力されることがなくなり、どのような場合でも保護回路として機能するようになる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1における半導体装置の構成を示す構成図である。

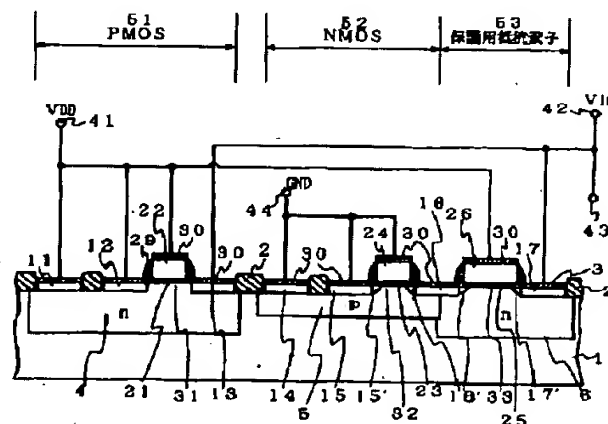
【図2】 この発明の第2の実施の形態における半導体装置の構成を示す構成図である。

【図3】 保護用抵抗素子を用いた保護回路を入力端子との間に設けた、CMOS回路の一部を示す構成図である。

【符号の説明】

1…基板、2…、3…、4…第1のn形ウエル、5…p形ウエル、6…第2のn形ウエル、11、14…基板コンタクト領域、12、15…ソース、13…ドレイン、16、17…不純物領域、21、23…ゲート絶縁膜、22、24…ゲート電極、25…絶縁膜、26…制御電極、29…サイドウォール、30…シリサイド膜、31、32…チャネル領域、41…電源ライン、42…入力接続点、43…出力端子、44…GNDライン、51、52…トランジスタ、53…保護用抵抗素子。

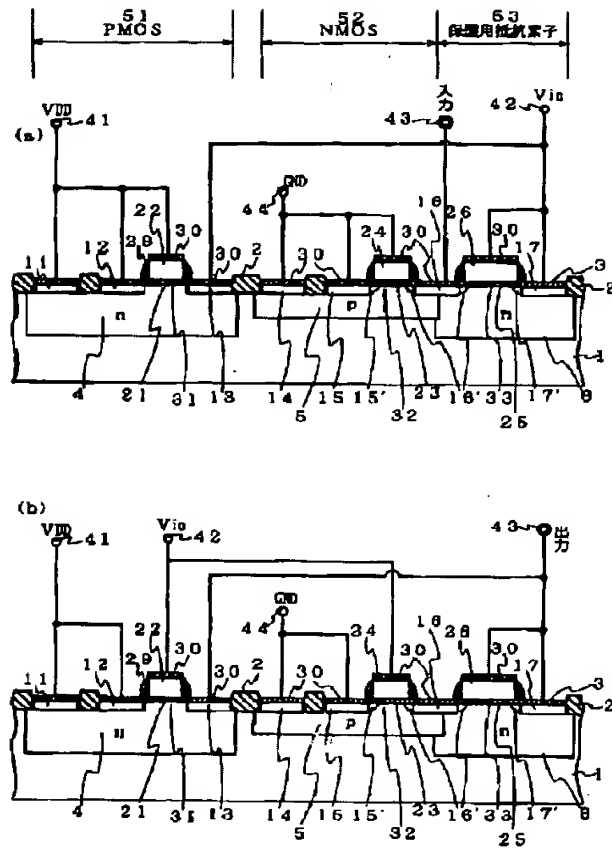
【図3】



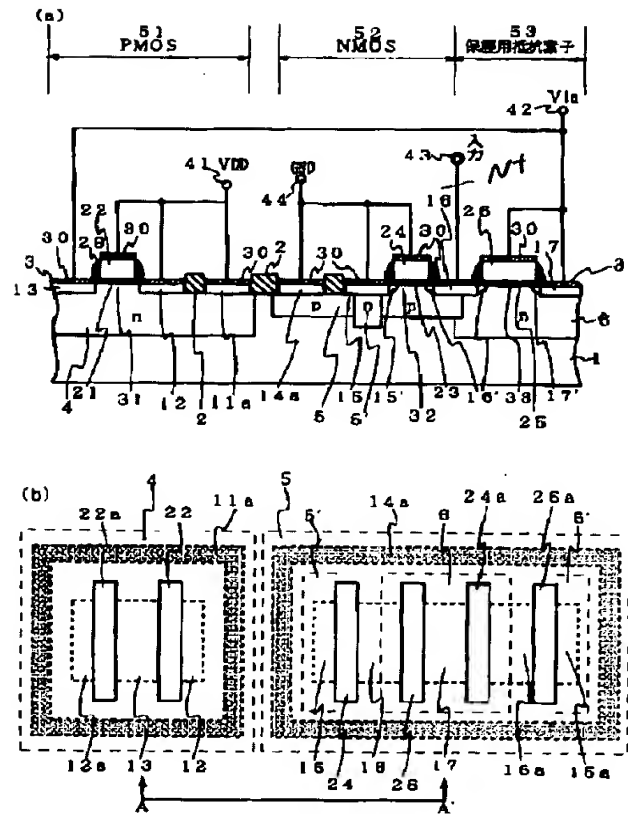
(8)

特開平 10-173070

【図 1】



【図 2】



フロントページの続き

(72)発明者 寺井 弘治

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 八田 敏也

神奈川県川崎市中原区小杉町一丁目403
番53 日本電気アイシーマイコンシステ
ム株式会社内